

## 補正書の請求の範囲

[2005年1月7日(07.01.05)国際事務局受理:出願当初の請求の範囲1及び5は補正された;出願当初の請求の範囲3及び7は取り下げられた。(2頁)]

1. (補正後) 制御ラインと第1のデータ供給ラインを駆動して特定される第1データ保持回路と、

5 前記制御ラインと第2のデータ供給ラインを駆動して特定され、前記第1データ保持回路の隣接した位置に設けられた第2データ保持回路と、

前記第2データ保持回路の出力レベルを検出し、該検出結果と閾値との比較結果に応じてタイミング信号を発生する比較回路と、

10 前記第1データ保持回路からデータを読み出す際、前記比較器のタイミング信号に応じて前記第1の制御ラインを駆動する駆動回路とを備え、

前記比較回路のタイミング信号に応じて、前記駆動回路により制御ラインを不活性化させ、前記第2データ保持回路のバイアスを所定レベルに設定するプリチャージする制御回路を

備えた半導記憶装置。

15 2. 前記制御ラインをワードラインとし、前記第1と第2のデータ供給ラインをビットラインとする

請求項1に記載の半導体記憶装置。

3. (削除)

4. 前記第2データ保持回路を前記第1データ保持回路ごとに設けた

20 請求項1に記載の半導体記憶装置。

5. (補正後) 第1制御ラインと第1のデータ供給ラインを駆動して特定される第1データ保持回路と、

第2制御ラインと第2のデータ供給ラインを駆動して特定され、前記第1データ保持回路の隣接した位置に設けられた第2データ保持回路と、

25 前記第2データ保持回路の出力レベルを検出し、該検出結果と閾値との比較結果に応じてタイミング信号を発生する第1比較回路と、

前記第 1 データ保持回路からデータを読み出す際、前記比較器のタイミング信号に応じて前記第 1 の制御ラインを駆動する第 1 駆動回路と、

前記第 2 制御ラインのレベルを検出し、該検出結果と閾値との比較し結果に応じて第 2 のタイミング信号を発生する第 2 の比較回路と、

- 5 前記第 1 データ保持回路からデータを読み出す際、前記第 2 の比較器のタイミング信号に応じて前記第 2 の制御ラインを駆動する第 2 駆動回路とを備え、

前記前記第 1 比較回路のタイミング信号に応じて、前記駆動回路により制御ラインを不活性化させ、前記第 2 データ保持回路のバイアスを所定レベルに設定するプリチャージする制御回路を

- 10 備えた半導体記憶装置。

6. 前記第 1 と第 2 の制御ラインをワードラインとし、前記第 1 と第 2 のデータ供給ラインをビットラインとする

請求項 5 に記載の半導体記憶装置。

7. (削除)

- 15 8. 前記第 2 データ保持回路を前記第 1 データ保持回路の行方向と列方向に設けた

請求項 5 に記載の半導体記憶装置

9. ワード線および一対の第 1 のビット線に接続された第 1 のメモリセルと、  
ワード線および一対の第 2 のビット線に接続された第 2 のメモリセルと、

- 20 少なくとも、前記ワード線を共通のタイミングで活性化させるワード線ドライバと、  
を有し、

前記第 1 のメモリセルからデータの読み出しを行う場合には、前記第 2 のメモリセルに接続された前記第 2 のビット線のレベルに応じて、前記データの読み出しのタイミングを決定する半導体記憶装置であって、

- 25 前記ワード線ドライバは、前記一対の第 2 のビット線の電位差が予め設定され

## Statement

## 条約 19 条に基づく説明書

請求の範囲第 1 項は、比較回路と駆動回路を備え、比較回路で第 2 データ保持回路の出力レベルを検出し、この検出結果と閾値とを比較してタイミング信号を発生し、タイミングに応じて駆動回路で制御ラインを不活性化し、第 2 データ保持回路のバイアスを所定レベルにプリチャージすることを明確にした。

引用例は、プリチャージ回路を開示しているが、第 2 データの保持回路のレベルを検出し、タイミング信号を発生する比較回路とこの比較回路のタイミング信号に応じて制御ラインと第 2 データの保持回路を駆動する駆動回路を開示していない。

本発明は、第 2 のデータ保持回路のビット線のプリチャージ開始時間が、第 1 データ保持回路のビット線のプリチャージ開始時間より早くすることができ、読み出しのサイクル時間を第 2 のデータ保持回路のビット線プリチャージに依存することなく短縮できるという効果を得たものである。

請求の範囲第 5 項は、第 2 比較回路と第 2 駆動回路を備え、第 2 比較回路で第 2 データ保持回路の出力レベルを検出し、この検出結果と閾値とを比較してタイミング信号を発生し、タイミングに応じて第 2 駆動回路で制御ラインを不活性化し、第 2 データ保持回路のバイアスを所定レベルにプリチャージすることを明確にした。

引用例は、プリチャージ回路を開示しているが、第 2 データの保持回路のレベルを検出し、タイミング信号を発生する第 2 比較回路とこの第 2 比較回路のタイミング信号に応じて制御ラインと第 2 データの保持回路を駆動する第 2 駆動回路を開示していない。

本発明は、第 2 のデータ保持回路のビット線のプリチャージ開始時間が、第 1 データ保持回路のビット線のプリチャージ開始時間より早くすることができ、読み出しのサイクル時間を第 2 のデータ保持回路のビット線プリチャージに依存す

ることなく短縮できるという効果を得たものである。